

# Percobaan 1

## Membangun Gerbang Logika Dasar dengan Transistor CMOS

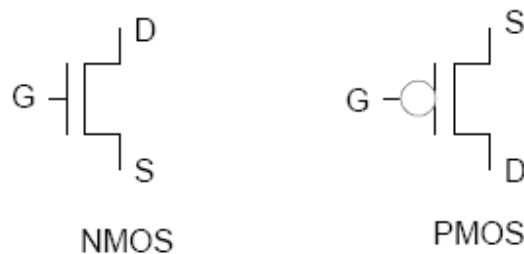
### 1.1. Tujuan

- Memberikan pengenalan terhadap VLSI Design CAD Tool: **Electric**<sup>TM</sup>
- Membangun CMOS Inverting Gate: NOT, NAND, dan NOR
- Mensimulasikan dan menganalisa gerbang logika dasar pada level transistor

### 1.2. Landasan Teori

Transistor bisa diilustrasikan sebagai sebuah saklar yang dikontrol dengan menggunakan listrik (arus atau tegangan). Transistor memiliki tiga buah terminal. Keadaan tersambung atau terputus pada dua terminal ditentukan oleh keadaan dari kontrol terminalnya.

Terdapat dua tipe transistor CMOS [gambar-1] yaitu: n-type Metal-Oxide-Semiconductor (NMOS) dan p-type MOS (PMOS). Rangkaian logika transistor yang menggunakan kedua tipe transistor tersebut dikenal dengan Complementary-MOS (CMOS). Transistor CMOS memiliki tiga terminal: *gate*, *source*, dan *drain*. Terminal *source* dan *drain* dapat ditukar satu sama lain.

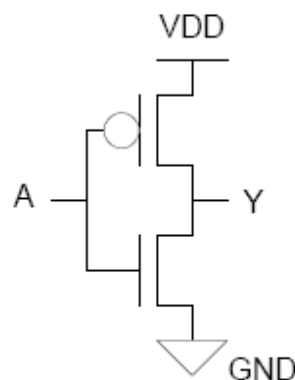


Gambar 1.

Ketika terminal *gate* dari transistor NMOS dalam kondisi *high*, maka bisa dikatakan bahwa transistor ON sehingga terdapat jalur penghantar dari *source* ke *drain*. Ketika terminal *gate* dalam kondisi *low*, maka bisa dikatakan bahwa transistor OFF maka tidak terdapat jalur penghantar dari *source* ke *drain*. Operasi PMOS berlawanan terhadap NMOS seperti diisyaratkan dengan tanda *bubble* pada terminal *gate*-nya. Ketika terminal *gate* dalam keadaan *low*, maka transistor ON dan ketika terminal *gate* dalam keadaan *high*, maka transistor OFF.

- **CMOS Inverter**

CMOS Inverter dapat dibangun dari transistor NMOS dan transistor PMOS. Masukan A mengontrol kedua masukan transistor. Keluaran Y terhubung ke terminal *drain* dari kedua transistor. Terminal *source* dari transistor NMOS dihubungkan ke *ground* (GND) dan terminal *source* dari transistor PMOS dihubungkan ke power (VDD), misalkan 5 volt. Sebagai ketentuan bahwa “*sisi terdekat dengan rel (VDD/GND) adalah source, dan sisi terdekat dengan output adalah drain*”.



Gambar 2: CMOS Inverter

Ketika masukan  $A = 1$ , transistor NMOS ON dan transistor PMOS OFF. Oleh karena itu keluaran Y terhubung ke GND melalui transistor NMOS, tapi tidak terdapat koneksi ke VDD, sehingga bisa dikatakan *pull-down* ke 0. Ketika masukan  $A = 0$ , transistor PMOS ON dan transistor NMOS OFF. Oleh karena itu keluaran Y di-pull-up ke 1 melalui transistor PMOS. Jadi  $Y = \sim A$ .

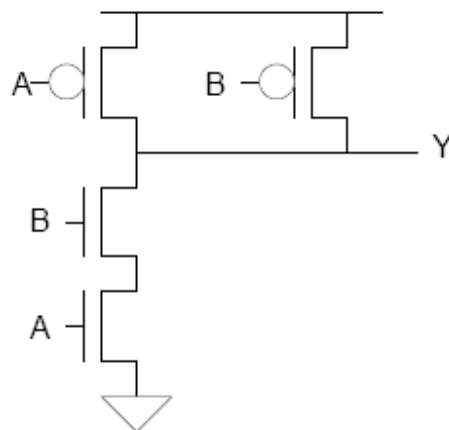
Tabel 1: CMOS Inverter

A	NMOS	PMOS	Y
0	OFF	ON	1
1	ON	OFF	0

### • CMOS NAND Gate

Rangkaian 2-input CMOS NAND gate ditunjukkan pada gambar-3. CMOS NAND gate 2-input dibangun dari 2-transistor NMOS yang tersusun seri dan 2-transistor PMOS yang tersusun parallel . Terminal *source* dari salah satu transistor NMOS dihubungkan ke *ground* (GND) dan terminal *drain* dari transistor NMOS yang lain dihubungkan ke keluaran Y, sedangkan kedua terminal *source* dari transistor PMOS dihubungkan ke power (VDD), dan terminal *drain* dari kedua transistor PMOS dihubungkan ke keluaran Y.

Ketika kedua masukan A dan B diberikan logika 1, maka kedua transistor NMOS ON dan keluaran Y akan *pull-low*, atau  $Y = 0$ , dan ketika salah satu masukan A atau B diberikan logika 0, maka salah satu transistor PMOS akan ON dan keluaran Y akan *pull-high*, atau  $Y = 1$ . Perilaku ini bisa ditabelkan, seperti pada tabel 2.



Gambar 3: CMOS NAND Gate 2-input

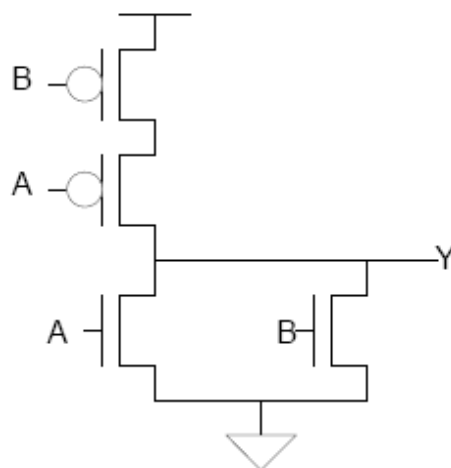
Tabel 2: Tabel kebenaran CMOS NAND Gate 2-input

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

### • CMOS NOR Gate

NOR gate adalah complement dari NAND gate. CMOS NAND gate 2-input dibangun dari 2-transistor NMOS yang tersusun parallel dan 2-transistor PMOS yang tersusun seri. Terminal *source* dari salah satu transistor PMOS dihubungkan ke power (VDD) dan terminal *drain* dari transistor NMOS yang lain dihubungkan ke keluaran Y, sedangkan kedua terminal *source* dari transistor NMOS dihubungkan ke *ground* (GND) dan terminal *drain* dari kedua transistor NMOS dihubungkan ke keluaran Y. Rangkaian CMOS NAND gate 2-input ditunjukkan pada gambar-4.

Ketika kedua masukan A dan B diberikan logika 0, maka kedua transistor PMOS akan ON dan keluaran Y akan *pull-up*, atau  $Y = 1$ , dan ketika salah satu masukan A atau B diberikan logika 1, maka salah satu transistor NMOS akan ON dan keluaran Y akan *pull-low*, atau  $Y = 0$ . Perilaku ini bisa ditabelkan, seperti pada tabel 3.



Gambar 4: CMOS NOR Gate dengan 2-input

Tabel 3: Tabel kebenaran CMOS NOR Gate 2-input

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

### 1.3. Alat dan Bahan

- VLSI Design CAD Tool: **Electric**<sup>TM</sup>

### 1.4. Prosedur Percobaan

Percobaan dimulai dengan menggambarkan skematik CMOS NAND gate 2-input dengan menggunakan CAD tool yang dikenal dengan **Electric**<sup>TM</sup>. Perlu diingat bahwa pada **Electric**<sup>TM</sup> tiap-tiap design akan disimpan dalam sebuah *facet*. Misal: nand2{sch} facet.

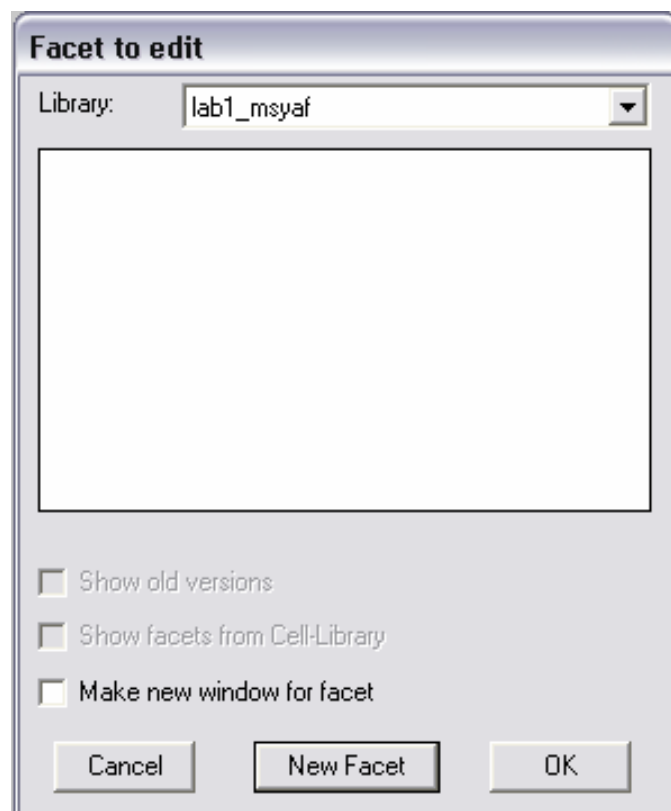
#### A. Proses Penggambaran

Proses menggambarkan skematik dimulai dengan:

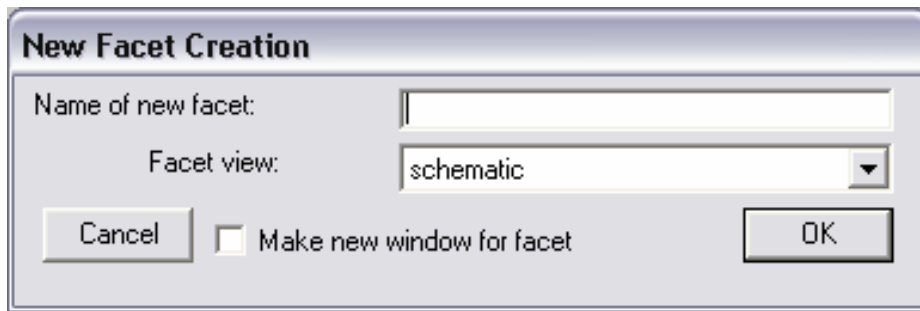
1. Membuat Library: klik **File**→**New Library** dan beri nama Library-mu dengan nama, misal: perc1\_xx, dimana xx adalah initial dari nama pembuat.
2. Pilih menu **Facet**→**Edit Facet** maka akan muncul **Facet to edit** dialog [gambar-5]. Klik New Facet. Pada **New Facet Creation** dialog box [gambar-6], masukkan nama nand2 sebagai nama facet dan pada facet view pilih schematic. Sebuah window editing baru [gambar-7] akan muncul dengan title perc1\_xx:nand2{sch}. Nama tersebut menyatakan *Library, Nama Facet, dan View*.
3. Untuk menggambarkan skematik pada level-transistor, maka teknologi perlu ubah pada Analog Schematic Technology dengan cara klik menu **Technology**→**Change Current Technology** dan pilih *schematic, analog* teknologi. Pada teknologi ini

berisikan elemen rangkaian dasar seperti: transistor, resistor, capacitor, power dan ground.

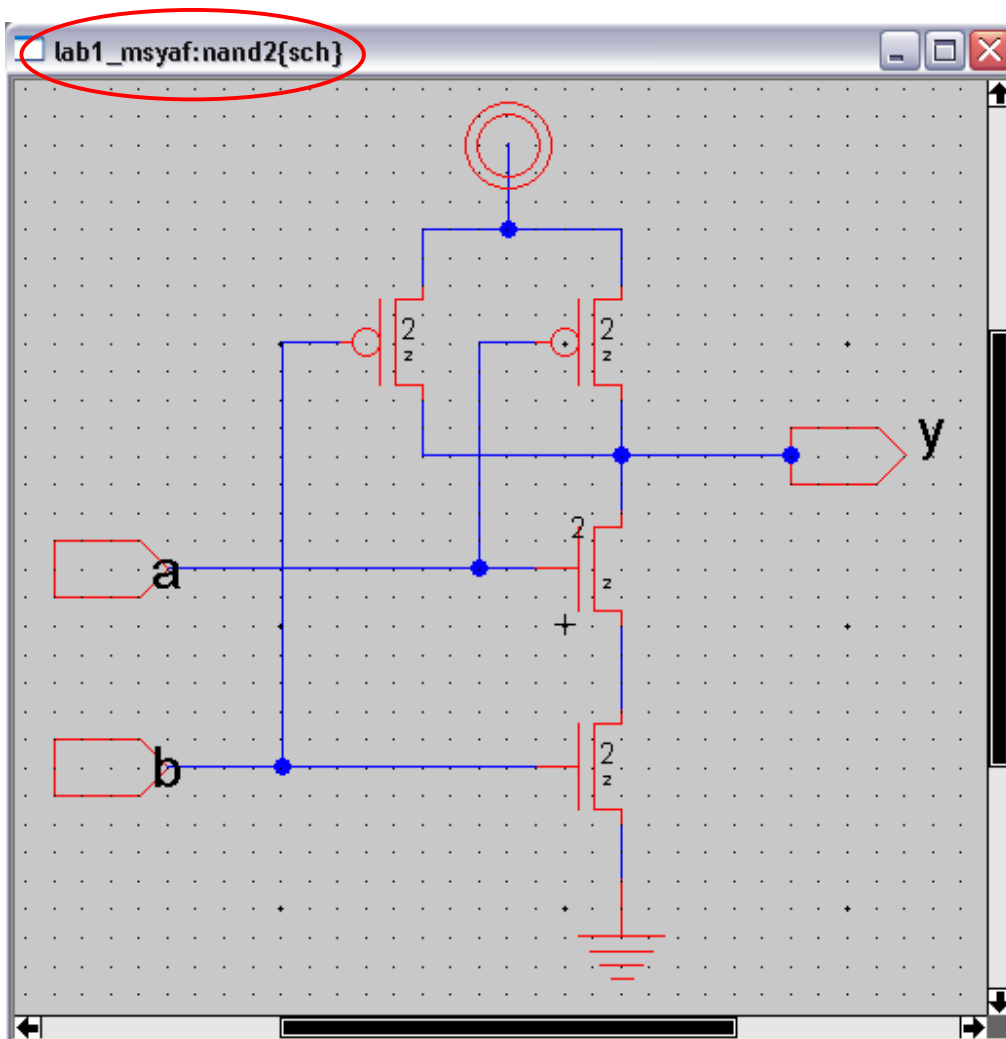
4. Mulailah menggambar rangkaian seperti tampak pada **gambar 3**.
5. On-kan Grid [**Window**→**Toggle Grid**] agar membantu mempermudah mengatur peletakan komponen.
6. Mengambil komponen dilakukan dengan klik-kiri pada mouse pada komponen yang dimaksud, kemudian klik-kiri ke window edit untuk meletakkan komponen.
7. Koneksi bisa dibuat dengan menekan tombol klik-kiri pada terminal transistor, misal *gate*, *source* atau *drain*, kemudian klik-kanan pada terminal komponen yang lain yang ingin dikoneksikan.
8. Lakukan proses penggambaran hingga tampak seperti pada gambar-7.



Gambar 5: Library dialog



Gambar 6: New Facet Creation dialog



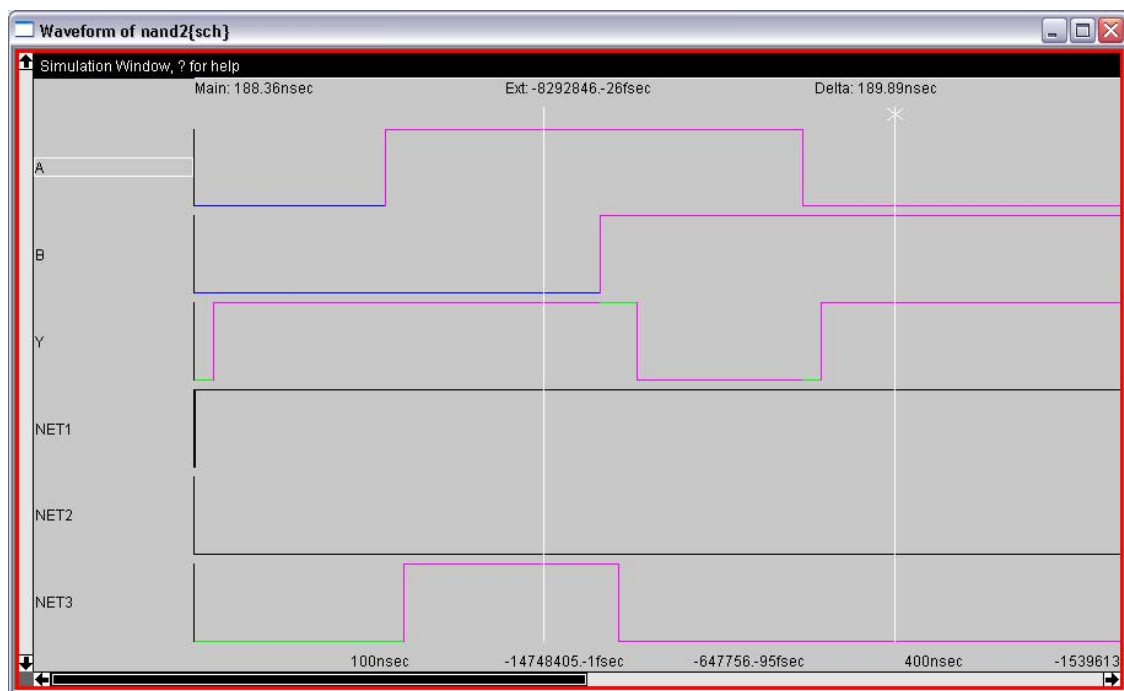
Gambar 7: Window Editing

## A. Proses Simulasi pada Level-Switch

**Electric**<sup>TM</sup> dilengkapi dua jenis built-in switch-level atau gate-level simulator yang dikenal dengan ALS (the Asynchronous Logic Simulator) dan IRSIM yang dapat mensimulasikan schematics, IC layout, atau diskripsi VHDL.

Untuk melakukan simulator dimulai dengan:

1. Pilih menu Tools • Simulation • Simulate. Waveform window akan muncul, meng-list tiap-tiap *net* pada design. Jika proses penggambaran dilakukan dengan benar maka akan terlihat net A, B, dan Y, seperti tampak pada Gambar-8. Pada window gelombang akan terlihat net tak bernama. Net ini untuk VDD, GND, dan node diantara transistor NMOS. Pada simulasi ini tampak NET1 adalah power (VDD) dan NET2 adalah ground. Jadi NET3 pasti merupakan node diantara kedua transistor NMOS.



Gambar 8: Hasil Simulasi CMOS NAND Gate pada Level-Transistor



2. Pada simulator terdapat dua garis vertical warna putih (cursor). Lakukan pergeseran pada cursor primer (cursor tanpa tanda x), sambil mengamati perubahan yang terjadi pada skematik. Berikan penjelasan!

## **1.5. Tugas**

1. Gambarkan rangkaian skematik untuk CMOS Inverter dan CMOS NOR gate 2-input
2. Gambarkan rangkaian skematik untuk CMOS NAND gate 3-input dan CMOS NOR gate 3-input
3. Lakukan simulasi pada gerbang-gerbang tersebut.
4. Buat kesimpulan atas seluruh percobaan yang telah dilakukan.