

Percobaan 3

Membangun Layout Gerbang CMOS

3.1. Tujuan

- Memberikan pengenalan terhadap VLSI Design CAD Tool: **Electric**TM khususnya untuk merancang gerbang dalam level-Layout
- Membangun Layout CMOS Inverting Gate: NOT, NAND, dan NOR
- Mensimulasikan dan menganalisa CMOS Inverting Gate pada level-Layout

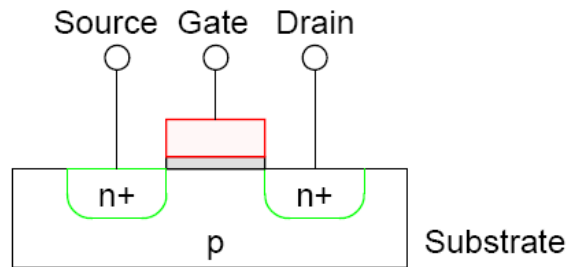
3.2. Landasan Teori

• Struktur Transistor MOS

Struktur dari transistor NMOS dapat ketahu dari potongan melintang dari transistor NMOS tersebut, seperti tampak pada gambar-1. Dua bagian yang di-doping lebih berat dengan silicon type-n (n^+) akan membentuk *source* dan *drain*. *Source* dan *drain* dipisahkan oleh sebuah substrat type-p. Hantaran dari terminal *gate* menuju substrat (*body*) dipisahkan oleh sebuah lapisan isolasi tipis SiO_2 (lebih sering dikenal sebagai lapisan kaca). Nama transistor MOS diperoleh dari tumpukan struktur gate-isolator-substrat dari transistor itu sendiri, yaitu *Metal-Oxide-Semiconductor*. Mula-mula *gate* dibuat dari bahan *metal*, akan tetapi sejak tahun 70an *gate* dibuat dari *Polysilicon*.

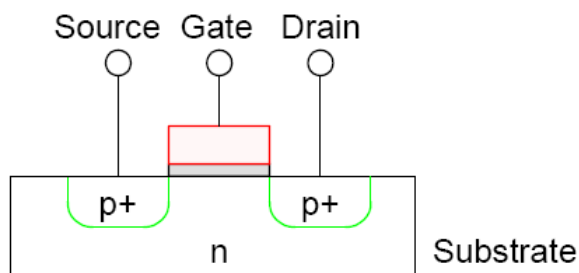
Ketika tegangan *gate* pada kondisi *low*, substrat mengisolasi *source* dan *drain*, jadi tidak ada arus yang mengalir diantara keduanya. Bisa dikatakan bahwa transistor dalam kondisi OFF. Perlu diperhatikan bahwa *gate* dan substrat berperilaku seperti dua lempeng kapasitor, sementara lapisan tipis oxide (SiO_2) berfungsi seperti dielectric. Ketika tegangan *gate* menjadi relatif lebih tinggi terhadap substrat dan *source*, maka pembawa positif akan ditarik kearah terminal positif dari kapasitor (*gate*), dan pembawa negatif akan ditarik kearah terminal negatif dari kapasitor (substrat). Ketika tegangan *gate*

melampaui threshold tertentu (typical 0.35-1 volt), maka pembawa negatif akan berakumulasi dibawah lapisan oxide sehingga cukup untuk ”membalik” substrat dan membentuk kanal tipis semikonduktor type-n. Sekarang terdapat jalur penghantar type-n diantara *source* dan *drain*, sehingga arus bisa mengalir diantara dua terminal *source* dan *drain* tersebut. Bisa dikatakan bahwa transistor dalam kondisi ON.



Gambar 1: Potongan melintang dari transistor NMOS

Perilaku transistor PMOS berkebalikan dari transistor NMOS. Terminal *source* dan substrat normalnya diberi tegangan *high*. Ketiga *gate* juga berada pada tegangan *high*, maka pada *gate* kapasitor tidak terdapat tegangan yang melintasinya dan transistor dalam kondisi OFF. Ketika *gate* berada pada tegangan *low*, maka pembawa positif akan tertarik dari subtrat menuju tepat dibawah lapisan *oxide* dan transistor akan ON.

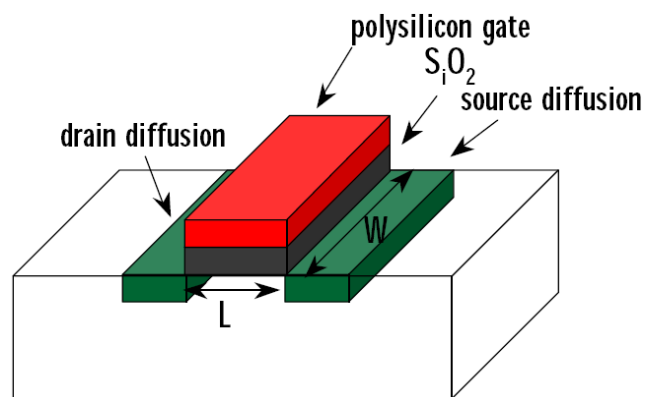


Gambar 2: Potongan melintang dari transistor PMOS

Perlu diperhatikan bahwa dalam pembahasan sebelumnya belum pernah disinggung tentang terminal ke-empat dari transistor (selain *gate*, *drain*, dan *source*). Sebenarnya substrat bisa berfungsi sebagai terminal ke-empat dari transistor. Terminal ke-empat ini

kadang dikenal sebagai "bulk". Bulk harus dihubungkan ke GND pada transistor NMOS, dan pada dihubungkan ke VDD untuk transistor PMOS agar bisa beroperasi dengan benar.

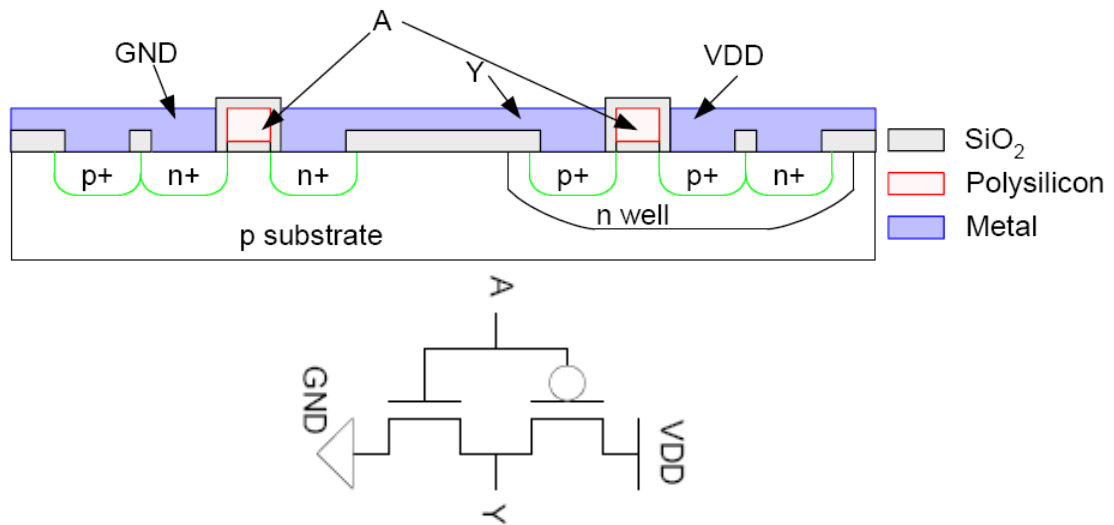
Unjuk kerja dari transistor ditentukan oleh *length* (L) dan *width* (W) dari transistor. *Length* adalah jarak antara source dan drain. Sedangkan *width* adalah lebar dari gate. Kanal (*length*) yang lebih pendek jaraknya akan memberikan operasi yang lebih cepat dari transistor, karena arus akan mengalir dalam jarak yang lebih pendek. Transistor yang lebih lebar menyediakan arus yang lebih besar, tapi juga memiliki nilai kapasitansi yang lebih besar, oleh karena itu pilihan terbaik dari *width* ini tergantung aplikasinya.



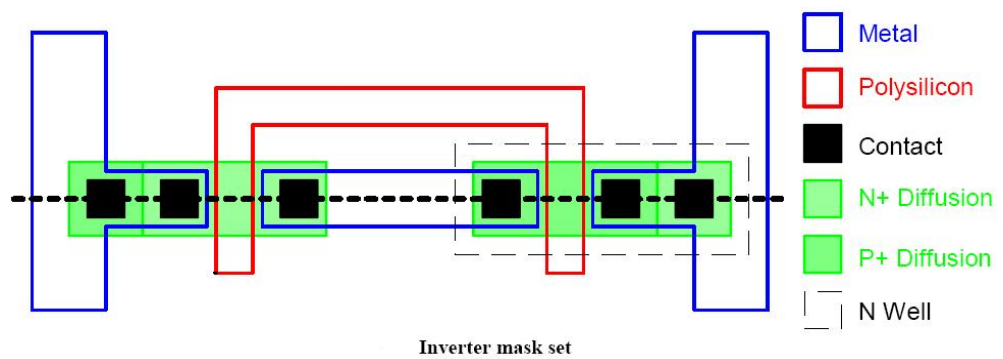
Gambar 3: Length dan Width dari Transistor MOS

- **Struktur Inverter CMOS**

Inverter memerlukan dua buah transistor NMOS dan PMOS, terhubung bersama satu sama lain, dan terhubung pula ke sedemikian rupa dan terhubung pula ke VDD dan GND. Pada NMOS memerlukan substrat type-p, sementara PMOS memerlukan substrat type-n. Transistor dibangun dari substrat tunggal, oleh karena itu diperlukan mekanisme melokalisasi perubahan doping untuk mengakomodasi kedua jenis transistor tersebut. Pendekatan yang biasa dilakukan adalah dengan membuat "sumur" (well). Ilustrasi ini ditunjukkan pada gambar-3. Untuk membuat setiap lapisan pada inverter CMOS diperlukan beberapa *mask* (masker). Tumpukan masker-masker yang diperlukan untuk membuat inverter bila dilihat dari pandangan atas, akan tampak seperti pada gambar-4.



Gambar 3: Potongan Melintang dari Inverter CMOS



Gambar 4: Masker untuk Inverter

• Aturan Desain Layout

Aturan desain layout mendefinisikan dimensi minimum dari fitur yang dapat dimanufactur pada chip. Akan lebih mudah mengungkapkan aturan-aturan dalam sebuah parameter yaitu λ (lamdha), yang menyatakan karakteristik resolusi dari proses pembuatan chip. Lamdha didefinisikan sebagai separuh panjang minimum dari sebuah gate transistor. Jika kita membangun layout yang berbasis pada lamdha, maka kita bisa mengambil desain yang lama yang sudah kita rancang untuk proses yang lebih lama, dan menskalanya terhadap proses yang lebih baru, hanya dengan mengubah nilai lamdhanya, dan tidak perlu lagi mengambar layout yang baru.

Cara yang gampang untuk mengingat aturan-aturan desain adalah bahwa dalam kebanyakan material memiliki lebar 4λ , tapi polysilicon lebarnya hanya 2λ . Contact selalu 2×2 . Spasi antar material besarnya sama dengan lebar material itu sendiri.

Aturan desain yang pasti tersedia di MOSIS web page. MOSIS adalah sebuah jasa layanan yang mengumpulkan beberapa pesanan dalam skala kecil untuk kemudian secara bersama-sama dilakukan proses manufaktur. MOSIS telah mengembangkan serangkaian aturan-aturan desain CMOS yang dapat diatur skala-nya.

Dalam praktikum ini akan menggunakan aturan-aturan SUBM submicron yang meskipun agak konservatif tapi cukup untuk proses-proses yang lebih maju, misalkan untuk proses AMI 0.5 dan 1.5 micron.

3.3. Alat dan Bahan

- VLSI Design CAD Tool: **Electric**TM

3.4. Prosedur Percobaan

Sebelum menggambar layout CMOS NAND gate 2-input dimulai maka ada hal-hal yang harus diperhatikan:

Standard-Cell Layout Style

Konsistensi dari sebuah layout style adalah sangat penting, karena hal ini nantinya akan mempermudah dalam hal menepatkan peletakan posisi antar standard-cell satu sama lain dan juga dalam proses pengawatan (wiring).

Beberapa hal yang harus konsisten:

1. Jarak 'rel' antara Power dan Ground: 60λ
2. Kawat dari Power dan Ground berjalan secara horisontal dengan Power di bagian atas dan Ground di bagian bawah dan dibuat dari **metal-1**
3. Karena Power berada di atas, maka bagian tengah-ke-atas diperuntukkan buat transistor PMOS, sedangkan tengah-ke-bawah diperuntukkan buat transistor NMOS.
4. Input masuk dari atas lewat Polysilikon dan Output dibuat dari **metal-2**
5. Cell bisa digabungkan bersama secara horizontal dengan **metal-1**

Layout Entry

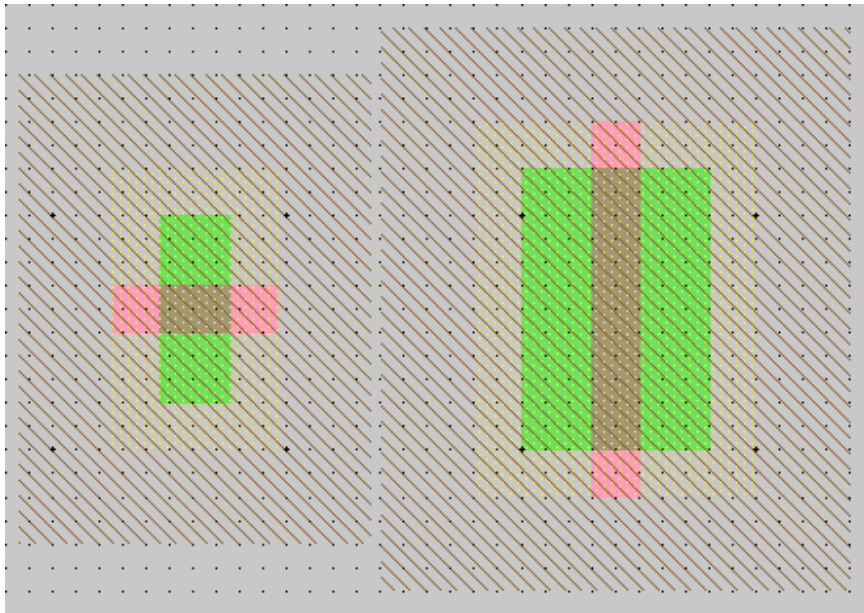
Design akan ditargetkan pada **AMI 0.5 μm** process. Aturan perancangan (design rule) menggunakan aturan MOSIS dengan kode teknologi jenis **SCN3ME _SUBM**. **SCNE** adalah Scalable CMOS dengan n-wells dan sebuah Electrode layer, misal: polysilicon 2. Oleh karena itu mula-mula yang harus dilakukan adalah men-setup technology file. Adapun proses setupnya adalah sbb:

1. Pilih: **Technology** → **Change Current Technology** dan pilih *mocmos* (MOSIS CMOS Technology)
2. Pilih: **Technology** → **Change Units** and set lamda mocmos pada 600 half-millimicron. (0.3 μm).
3. Pilih: **Arc**→**New Arc Option...** atur lebar metal-1 dan metal-2 pada angka 4, hal ini untuk kemudahan dalam penggambaran layout
4. Pilih: **Technology** → **Technology Option** dan pilih 2 metal layers, submicron rules, alternate Active and Poly contact rules, dan disallows stacked vias

Proses menggambar layout dimulai dengan:

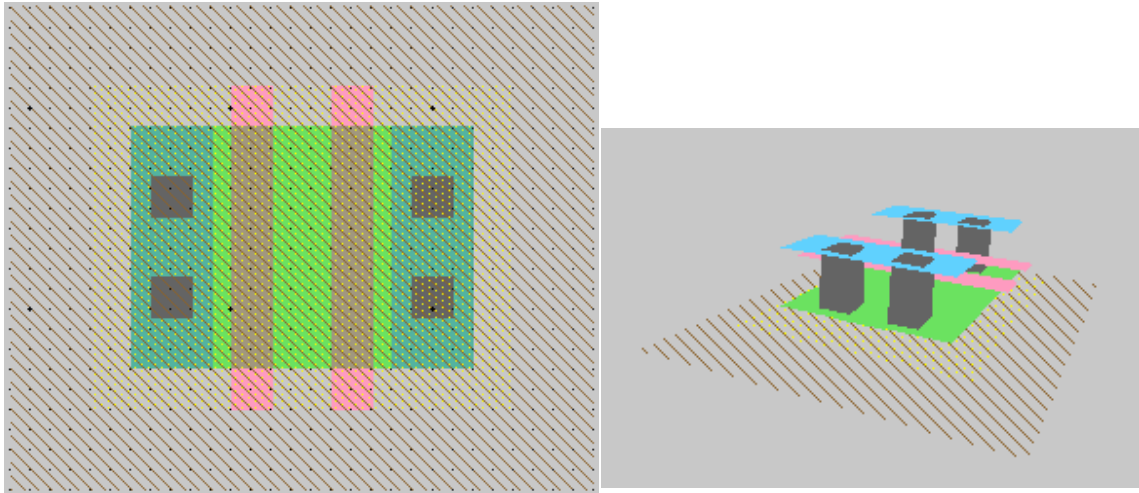
1. Menggambar transistor NMOS. Perlu diketahui bahwa, layout transistor NMOS dibentuk dari persilangan antara *polysilicon* dan *n-diffusion*. Dalam CAD **Electric**TM *n-diffusion* digambarkan dengan difusi warna hijau yang dikelilingi oleh layer type-n warna kuning yang bertitik, kesemuanya ini dalam background p-well berarsir hitam. Dalam **Electric**TM set-layer transistor NMOS ini disediakan dalam bentuk node transistor 3-terminal. Pindahkan pointer mouse pada menu komponen yang berada di kiri layar. Bila mouse dipindah di atas object, maka nama node akan muncul pada status line disamping kata NODE, yang berada di sudut kiri bawah dari layar. Klik-kiri pada transistor-n, dan klik lagi pada layout window untuk menjatuhkan transistor pada tempat yang diinginkan, seperti ditunjukkan pada gambar-5.
2. Pilih perintah: **Edit** → **Rotate** → **90 Degrees Counterclockwise**, untuk memutar transistor sehingga gate polysilicon warna merah pada posisi vertical.
3. Terdapat dua transistor NMOS yang terangkai seri dalam gerbang NAND 2-input, sehingga lebar transistor perlu dikompensasi. Untuk mengubah lebar transistor: **Double-click** pada transistor. Pada window node information, ubah lebar menjadi 12.

4. Copy transistor NMOS dan rangkailah dalam susunan seri.



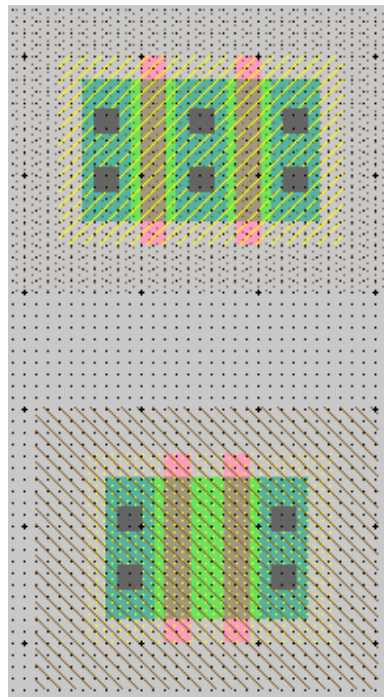
Gambar-5: Transistor NMOS sebelum diputar dan sesudah di-putar 90^0 serta diubah lebar-nya

5. Hubung kedua diffusi (*source/drain*) dari kedua transistor NMOS, caranya **left-click** diffusion dari salah satu transistor dan **right-click** pada diffuse dari transistor yang lain. Kemudian drag kedua transistor hingga jarak kedua polysilicon 3 lamdha. Agar pengaturan jarak lebih mudah on-kan *grid* dengan menekan **Ctrl-G**. Jarak antara titik-kecil 1λ , jarak antar titik-tebal 10λ .
6. Jika merasa khawatir akan jarak antar *polysilicon* terjadi kesalahan, maka bisa dilakukan pengecekan pada seluruh facet. Pilih perintah **Tools**→**DRC**→**Hierarchical Check**.
7. Buat kontak dari n+diffusi ke metal-1, jatuhkan **metal-1-N-Active-Contact** kedalam window layout, dan ubah ukuran Y nya menjadi 12. Copy kontak tersebut dan letakkan pada sisi yang lain dari transistor NMOS seri. Buat garis-diffusi yang menghubungkan antara diffusi dan metal-1 kontak. Pindahkan kontak sedekat mungkin hingga jarak antara metal dan polysilicon 1λ , sehingga tampak seperti gambar-6.



Gambar-6: Metal-1 N-Active Contact dan NMOS Seri (Pandangan Atas dan 3D)

8. Lakukan dengan cara dan langkah yang sama pada dua transistor PMOS yang terangkai secara parallel dan buatlah kontak dari diffusi-P ke metal-1. Layout akan tampak seperti gambar-7.



Gambar 7: NMOS Seri dan PMOS Parallel

9. Buat *wire* (arc) yang menghubungkan gate polysilicon, untuk digunakan sebagai masukan **A** dan **B**, dan metal-1 sebagai node keluaran **Y**. Kemudian tambahkan metal-1 untuk jalur *power* dan *ground*. Yakinkan bahwa jarak antara *power* dan *ground* adalah 60λ .
10. Tempatkan n-well kontak dan p-well kontak pada tiap-tiap cell. Letakkan n-well kontak dibawah rel *ground* dan hubungkan ke *ground* melalui metal-1, kemudian letakkan p-well kontak dibawah *power* rel dan hubungkan ke VDD melalui metal-1.
11. Jalur masukan sebaiknya diletakkan di atas, sementara pin keluaran bisa diatas atau di sisi kanan gate. Gunakan **metal-1-metal-2-Contact** (sering dikenal sebagai via) untuk dihubungkan ke pin keluaran.
12. Gunakan metal-2 (magenta) untuk membentuk pin keluaran (output).

Catatan:

ElectricTM tidak mengenal polaritas dari well dan substrat. Dia membangkitkan n-well dan p-well layer. Dalam proses fabrikasi ini yang sudah memiliki p-substrat, p-well (digambarkan dalam garis miring warna hitam) akan diabaikan, sementara n-well (digambarkan dalam titik-titik kecil warna hitam) akan mendefinisikan well pada chip.

ElectricTM hanya membangkitkan well yang hanya cukup untuk melingkupi area diffusi-n dan p pada chip, sehingga perlu dibuat well berbentuk kotak yang mengkoveri tiap-tiap cell sedemikian rupa sehingga apabila berbatasan dengan banyak cell yang lain, maka tidak perlu mengkhawatirkan jarak / celah antar well yang menyebabkan aturan desain jadi salah.

Dalam kebanyakan cell, transistor PMOS akan lebih besar dari pada transistor NMOS. Oleh karena itu, akan dialokasikan 5λ dibawah pusat desain ke atas diperuntukkan buat n-well yang berisi transistor PMOS dan mulai 5λ dibawah pusat desain ke bawah untuk p-well yang berisi transistor NMOS.

13. Untuk melakukan hal diatas, Pilih **Edit** → **New Pure Layer Node**. Buat satu per satu (bergantian) N-Well-Node dan P-Well-Node. Kemudian lakukan Double-click pada tiap-tiap well untuk mengubah ukuran N-Well-Node ke 32 lebar X 43 tinggi,

sehingga well akan melingkupi keseluruhan n-well yang ada hingga 5λ dibawah garis tengah.

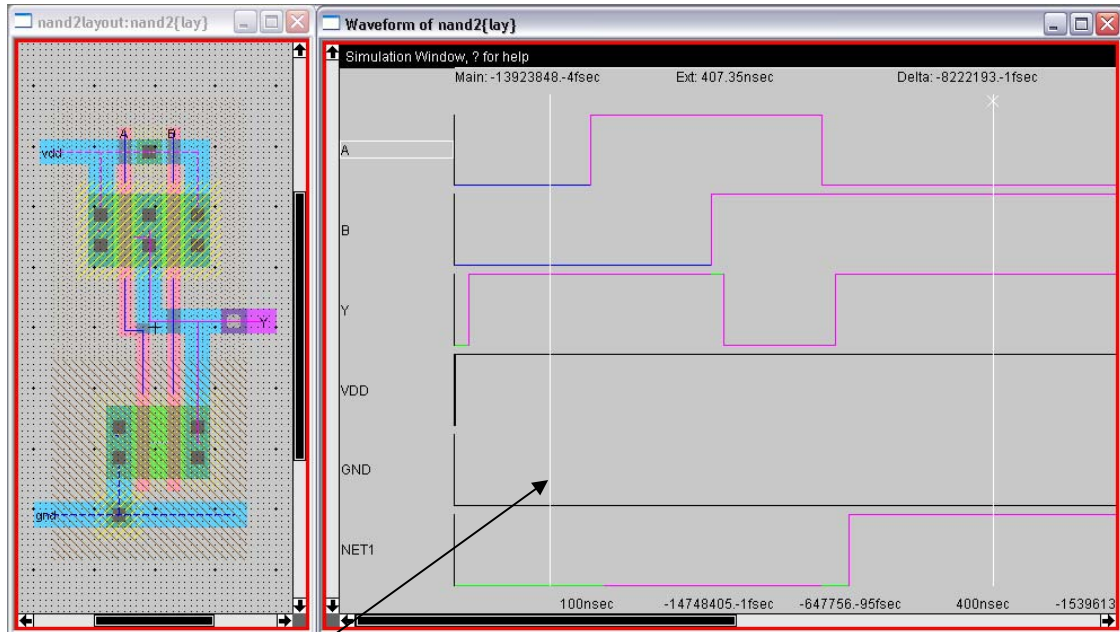
14. Lakukan hal sama untuk P-Well-Node ganti size-nya ke 32-lebar X 33-tinggi.
15. Akhirnya, sediakan *export* untuk cell yang sudah dibuat. *Export* menentukan lokasi mana yang dapat dihubungkan dari cell. Klik pada ujung kawat keluaran metal-2, tambahkan output export Y, ulangi juga untuk masukan A dan B. Juga export VDD dan GND dari garis metal-2. Electric mengenali VDD dan GND sebagai spesial name, jadi yakinkan menggunakan nama ini.
16. Jika penambahan export dilakukan dengan benar, dan bila dilakukan perintah List Export akan tampak message sbb:
 - Input export 'A' at (-5, 32) connects to Polysilicon-1
 - Input export 'B' at (3, 32) connects to Polysilicon-1
 - Output export 'Y' at (18, 1) connects to Metal-2
 - Power export 'vdd' at (-17, 29) connects to Metal-1
 - Ground export 'gnd' at (-18, -31) connects to Metal-1
17. Lakukan pengecekan hierarchical DRC untuk memastikan tidak terjadi kesalahan.

Verifikasi Layout

ElectricTM dilengkapi dua jenis built-in simulator yang dikenal dengan ALS (the Asynchronous Logic Simulator) dan IRSIM yang dapat mensimulasikan IC layout, membangkitkan diskripsi VHDL dari Layout.

Untuk melakukan simulator dimulai dengan:

1. Pilih menu **Tools** → **Simulation** → **Simulate**. Waveform window akan muncul, meng-list tiap-tiap *net* pada design. Jika proses penggambaran dilakukan dengan benar maka akan terlihat net A, B, dan Y, seperti tampak pada Gambar-8. Pada window gelombang akan terlihat net tak bernama. Net ini untuk VDD, GND, dan node diantara transistor NMOS. Pada simulasi ini tampak power (VDD), ground, NET1 yang merupakan node diantara kedua transistor NMOS.
2. Pada simulator terdapat dua garis vertical warna putih (cursor). Lakukan pergeseran pada cursor primer (cursor tanpa tanda x), sambil mengamati perubahan yang terjadi pada skematik. Berikan penjelasan!

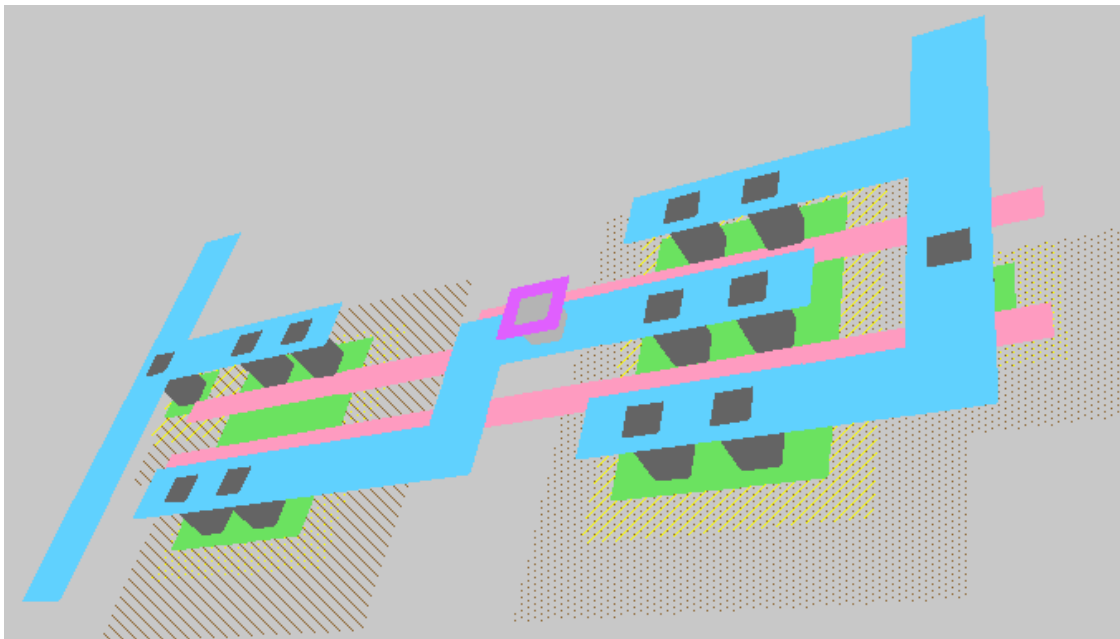
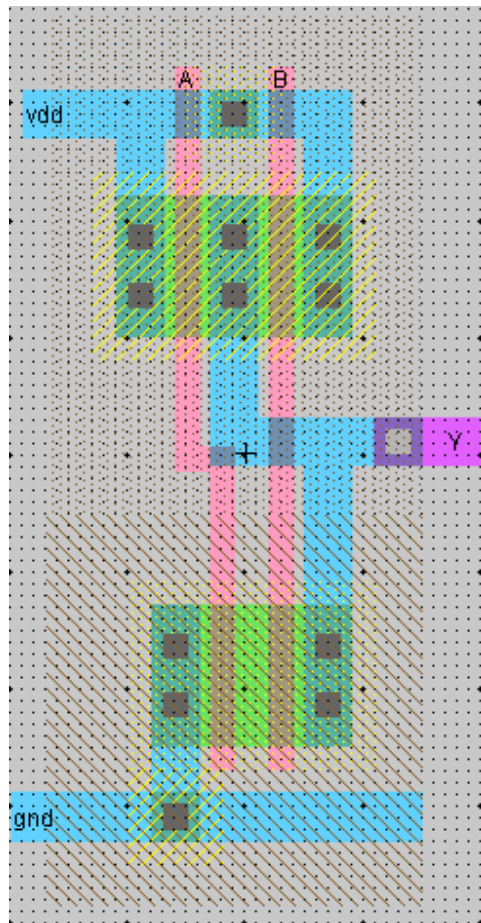


Geser garis vertical ini sambil mengamati perubahan apa yang terjadi pada Layout

3.5. Tugas

1. Gambarkan Layout untuk CMOS Inverter dan CMOS NOR gate 2-input (dikerjakan di Lab)
2. Lakukan simulasi pada gerbang-gerbang tersebut.
3. Buat kesimpulan atas seluruh percobaan yang telah dilakukan.

Layout CMOS NAND 2-input (Pandangan Atas dan 3D)



VHDL yang dibangkitkan dari Layout:

-- VHDL automatically generated from facet nand2{lay}

```
entity nand2 is port(A, B      : in BIT;
                    Y        : out BIT;
                    Vdd      : out BIT;
                    Gnd      : out BIT);
end nand2;

architecture nand2_BODY of nand2 is

    component ground port(metal_1: inout BIT);
    end component;

    component power port(metal_1: inout BIT);
    end component;

    component PMOStran port(p_trans_poly_left, p_trans_diff_top,
                           p_trans_diff_bottom: inout BIT);
    end component;

    component nMOStran port(n_trans_poly_left, n_trans_diff_top,
                           n_trans_diff_bottom: inout BIT);
    end component;

    signal net1: BIT;

begin
    pin2: ground port map(gnd);
    pin4: power port map(vdd);
    pmos1: PMOStran port map(B, vdd, Y);
    pmos2: PMOStran port map(A, Y, vdd);
    nmos1: nMOStran port map(B, Y, net1);
    nmos2: nMOStran port map(A, net1, gnd);

end nand2_BODY;
```